

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-048729
 (43)Date of publication of application : 18.02.1992

(51)Int.Cl. H01L 21/302
 // H01L 21/331
 H01L 29/73

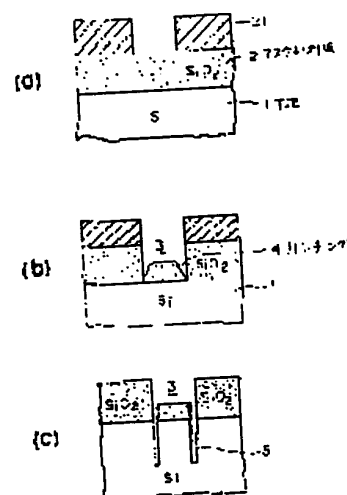
(21)Application number : 02-156784 (71)Applicant : SONY CORP
 (22)Date of filing : 15.06.1990 (72)Inventor : KADOMURA SHINGO

(54) ETCHING METHOD

(57)Abstract:

PURPOSE: To enable the formation of minute trenches, etc., by etching by etching a mask material film under the condition that trenches occur, and then etching the base with the trench structure formed intact as a mask.

CONSTITUTION: This etching method is one which makes a mask material film 2 on a base 1 out of the material capable of taking the etching speed rate with the base 1, and etches the mask material film 2 under the condition that a trench 4 occurs, and etches the base 1 with the structure having the trench 4 formed as a mask. This enables the formation of the trench with dimensions far minuter than the minimum dimensions determined by the resolution of lithography.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-48729

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月18日

H 01 L 21/302
// H 01 L 21/331
29/73

J

7353-4M

7735-4M H 01 L 29/72

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 エッチング方法

⑯ 特 願 平2-156784

⑰ 出 願 平2(1990)6月15日

⑱ 発 明 者 門 村 新 吾
⑲ 出 願 人 ソニー株式会社
⑳ 代 理 人 弁理士 高 月 亨

東京都品川区北品川6丁目7番35号 ソニー株式会社内
東京都品川区北品川6丁目7番35号

明 細 書

1 発明の名称

エッチング方法

2 特許請求の範囲

1. 下地上に、下地とエッチング速度比のとれる材料によりマスク材料膜を形成し、

該マスク材料膜を、トレンチングの生ずる条件でエッチングし、

形成されたトレンチングを有する構造をマスクにして下地をエッチングすることを特徴とするエッチング方法。

3 発明の詳細な説明

(産業上の利用分野)

本発明は、エッチング方法に関する。本発明のエッチング方法は、例えば電子材料(半導体装置など)の形成において、例えばトレンチ(溝)を形成し、素子分離に用いたり、トレンチキャパシ

タの形成に適用して、スタックドキャパシタの如く多層にして用いる場合などのトレンチ形成加工に使用でき、あるいは磁気薄膜のエッチングに使用でき、また例えばマイクロメカニク機構の形成において、例えば微細なシリコンモータ等を製造する場合などに利用することができる。

(発明の概要)

本発明は、下地とエッチング速度比のとれる材料により下地上にマスク材料膜を形成し、該マスク材料膜を、トレンチングの生ずる条件でエッチングし、形成されたトレンチング構造をそのままマスクにして下地をエッチングすることによって、リソグラフィ工程を用いるに伴う解像度で決まる微細化の制限を受けることなく、微細な溝等のエッチング形成を可能ならしめたものである。

(従来技術)

従来より、微細加工を行うための各種のエッチング方法が知られている。例えば、半導体装置製

造の分野では、シリコン半導体層上にマスクを形成し、該マスクを用いてシリコン半導体をエッチングする技術が数多く知られている。例えば単結晶シリコン等に深い溝を形成して、これを素子分離に応用する、いわゆるトレンチアイソレーション技術が知られている。このようなトレンチアイソレーション技術は、半導体素子の微細化に伴い、必要不可欠な技術となっていると言える。

上記トレンチアイソレーション技術において、アイソレーション用の溝は、シリコン基板に、リソグラフィ工程を経て、反応性イオンエッチング法(RIE)によって形成するのが一般的な従来の手法である。

しかし、上記従来のリソグラフィ工程を利用した技術により溝を形成する場合、溝幅で決定されるアイソレーション幅は、不可避的にリソグラフィの解像度によって決まってしまう。このため、例えば今後のULSI製造プロセスで要求される如き、より微細なアイソレーション領域の形成のためには、このようにリソグラフィ工程での解像

(2)度により微細化が限定されてしまうのでは、更なる微細化の要請を満たすことができず、不都合である。

上記のような事情から、リソグラフィ解像度に制約されない微細なアイソレーション用の溝を形成できるプロセスが切望されている。かつそのプロセスが、セルフアラインで(即ち自己整合的に)、微細な溝を形成できるものであることが、望まれているのである。

本発明者は、先に、ペリフェラルエッチング技術の考え方をもとにして、単結晶シリコントレンチエッチング時の条件を工夫し、これによりシリコン基板にトレンチングを作り、これをそのまま微細溝として利用する技術を提案した(特開平2-10830号)。

この技術は、第7図に示すように、シリコン半導体層1'上にマスク2'を形成して該マスク2'を用いてシリコン半導体層1'をエッチングするに際し、エッチング時に発生する反応生成物6'をマスク2'の開口部3'の中心部にのみ堆積さ

せ、これをマスクにシリコン半導体層1'を異方性エッチングすることにより、微細な溝等をエッチング形成したものである。反応生成物6'を、半導体層1'の露出部において、上記開口部3'の中央部にのみ堆積させるようにするのは、マスク2'の開口部3'の開口径 l と深さ W との比を制御することにより行う。例えば、第8図に示す例では、マスク膜厚により決まる W を $2.0\mu\text{m}$ 、開口径 l を $1.0\mu\text{m}$ として、微細な溝5'を得るようにしたものである。

(発明が解決しようとする問題点)

上記第7図及び第8図を用いて説明した従来技術にも、更に改良すべき問題点がある。

第1に、この従来技術では、マスク2'の開口部3'の深さ W は、 $2.0\mu\text{m}$ 程度にする必要がある。このためにはマスク2'の膜厚を $2.0\mu\text{m}$ 位にしなければならず、これはかなり厚い膜厚である。かつ、 W と l で定められる開口部3'のアスペクト比を高くする必要があり、この加工は必ず

しも容易ではない。第2に、反応生成物6'の堆積を多くすることが必須であり、この制御も必ずしも容易ではない。即ち、上記従来技術を利用するには、少なくとも上記第1、第2のいずれかを實現しなければならず、これは必ずしも実用的とは言いがたい。

本発明は、上記問題点を解決し、リソグラフィ工程の解像度に限定されることなく下地に微細な溝等を形成でき、しかもその場合マスク膜厚やその開口部のアスペクト比を大きくする必要等の実用上の隘路を解決した、実用上有利な技術を提供せんとするものである。

(問題点を解決するための手段)

本発明のエッチング方法は、下地上に、下地とエッチング速度比のとれる材料によりマスク材料膜を形成し、該マスク材料膜を、トレンチングの生ずる条件でエッチングし、形成されたトレンチングを有する構造をマスクにして下地をエッチングすることを特徴とするエッチング方法であり、

この構成をとることによって、上述した問題点を⁽³⁾解決したものである。

本発明の構成について、後記詳述する本発明の一実施例を示す第1図を用いて略述すると、次のとおりである。

本発明のエッチング方法は、第1図に例示するように、下地1上に、下地1とエッチング速度比のとれる材料によりマスク材料膜2を形成し(第1図(a))、該マスク材料膜2を、トレンチング4の生ずる条件でエッチングし(第1図(b))、形成されたトレンチング4を有する構造をマスクにして下地1をエッチングする(第1図(c))技術である。

トレンチングは、形成すべき溝等の開口の周辺がその部分のみ特に深くエッチングされて幅狭の両溝状に形成されるもので、各種要因により生じ、開口を埋め込みする場合に埋め込み不良をもたらすことがあるなど、良好な形状の開口を得るためにはむしろ発生を防止すべきとされていたものである。本発明は逆にこれをたくみに利用した技術

ということができる。

本発明において、下地としては、エッチング加工される各種の素材を任意に用いることができ、例えば半導体装置形成用のシリコン基板、マイクロメカニク機構形成用材料など各種のものを挙げることができる。

マスク材料としては、下地の材料とエッチング速度比がとれ、かつトレンチングの生ずる条件でエッチングできるものであれば特に限定はない。例えば、下地がSiである場合、 SiO_2 等のシリコン酸化物やSiN(シリコン窒化物)などの材料を用いることができる。

〔作用〕

本発明によれば、例示した第1図(b)に略示したような開口3の周辺のトレンチング3をマスクにして、このトレンチング3の幅に対応した微細な溝5(第1図(c)の例示参照)を形成できる。これは、リソグラフィの解像度により決まる最小寸法幅(これは、開口3の幅の最小寸法を決

定する)よりもはるかに微細な寸法の溝の形成を可能ならしめる。しかも、従来技術のような反応形成物6'の特殊な堆積(第7図参照)や、マスク膜厚やその開口のアスペクト比(第8図参照)を特に大きくする必要はない。

〔実施例〕

以下本発明の実施例について、図面を参照して説明する。但し当然のことではあるが、本発明は以下の実施例により限定されるものではない。

実施例-1

本実施例は、半導体装置に $0.1\mu m$ 以下の径の超微細な溝を形成する場合に、本発明を利用したものである。

第1図を参照する。

本実施例では、シリコン基板(単結晶シリコン基板等)を下地1とし、この上に SiO_2 膜を形成してマスク材料膜2とする。更にこの上にレジスト層を形成し、パターニングして、レジストパター

ン21を形成し、第1図(a)のようにする。

次いで、マスク材料膜2を、トレンチングの生ずる条件でエッチングするのであるが、本実施例では、マグネトロンRIEを用い、次の条件で、 SiO_2 エッチング用のフッ素系ガス等を用い、 SiO_2 膜であるこのマスク材料膜2をエッチングした。即ち、例えば、

ガス系及び流量： CHF_3 -50SCCM

圧 力：2 Pa

パ ワ ー 密 度：2.7W/cm²

の条件で、エッチングを行う。これは、一般的なエッチング条件としてはパワー密度が大きく、圧力が小さい条件であり、これによってトレンチングを生じせしめる。上記条件により、マスク材料(ここでは SiO_2)膜2をエッチングして、開口3を形成した。

この時、開口3の底部には、CF系ポリマーの不均一な堆積や、斜め入射散乱イオンの影響などの理由と考えられるトレンチング4を生ずる。これにより第1図(b)の構造が得られる。

次にエッチング条件を変え、形成されたトレンチング4を有する構造をマスクにして、下地1をエッチングする(このとき、レジストパターン21は除去しても、残したままでもよい)。ここでは、トレンチング4を生じたSiO₂開口3をマスクに、RFバイアス印加型ECRエッチング装置で、SiO₂マスクのSiエッチング用のガス、例えばSiCl₄/N₂混合ガス系を用いて下地1であるシリコン基板にトレンチエッチング(溝形成エッチング)を行う。トレンチング4を有するマスク材料構造がマスクとなるので、溝5の幅は非常に微細なものが、セルフアラインで形成できる。なおガス系はSiCl₄:N₂=1:1の流量比で用いることができ、またこれに更にCl₂を50vol%以下添加して用いることもできる(特開平1-117035号参照)。

これにより、第1図(c)に示す0.1μm以下の径(幅)の超微細な溝5を有する構造が得られる。

実施例-2

で示すように、ベース方向へキャリアの注入が生じるのである。これを防止するには、狭いエミッタの拡散層(n⁺領域74)の側部に、第4図に示すようなインシュレータ領域9を形成して、注入が矢印II方向に起こるようにすればよい。第2図の例は、同図に示すように、このようなインシュレータ領域9を、幅0.1μm程度設けて分離用アイソレーション領域としたものであり、かかるインシュレータ領域9の形成に、本発明のエッチング方法を適用したものである(実施例-1参照)。

仮に、従来のプロセスでこのような幅0.1μm程度のインシュレータ領域9を設けようとする、第5図に図示するように、エミッタとなる拡散層(n⁺領域74)を覆って、ベース領域との間にフォトリソマスク21'を形成しなくてはならず、工程増という問題があることは勿論、基本的にリソグラフィの合わせや解像度の点から、実質上このようなマスクを形成することは不可能であった。これに対し、本発明を用いれば、第6図に示すように、0.5~0.6μm程度のエミッタ領域(n⁺

(4) この実施例は、本発明を、バイポーラデバイスの形成に適用した応用例である。

第2図に断面図で示すのは、例えば高速ECL等のバイポーラデバイスである。第2図中、符号71はコレクタ、72はエミッタ、73はベースの各電極である。74は、エミッタ領域のn⁺領域である。75は該n⁺領域74に近接するp⁺領域である。81、82はポリシリコン層である。83、84はインシュレータである。

高速ECL等のバイポーラデバイスでは、エミッタ幅を狭めて、素子の高速化を図ることが行われているが、このとき、第2図に示すように、集積度を上げるため、ベース領域のコンタクトをポリシリコン81でとっており、この部分の拡散層はかなりの高濃度となる。このため、従来は見られなかったエミッタからベースへのキャリアの注入が横方向に起こって、素子のスピードを遅らせるいわゆるサイドインジェクション(Side Injection)効果が出てきてしまう。つまり、第3図に略示する如く、エミッタ領域のn⁺領域74から、矢印I

領域74)の端部に、セルフアラインでインシュレーション領域の形成用の浅い溝を形成することが可能となり、これでインシュレータ領域9を形成でき、よって、第2図の如きインシュレータ領域9を有する素子の形成が実現できるのである。このように本発明を用いれば、本実施例の如きECL素子について、そのアクセスタイム向上に寄与することができる。

(発明の効果)

上述の如く本発明のエッチング方法によれば、リソグラフィ工程の解像度に加工寸法が限定されることがなく、微細な溝をシリコン基板に形成することができ、これをしかも、容易に制御性良く達成できる。

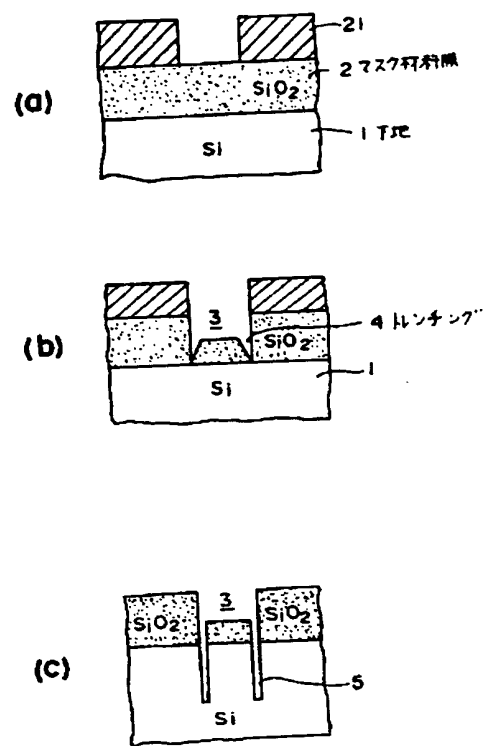
4 図面の簡単な説明

第1図(a)~(c)は、実施例-1の工程を断面図で示す図、第2図は、実施例-2の本発明を適用して形成した半導体装置の一例の断面図、

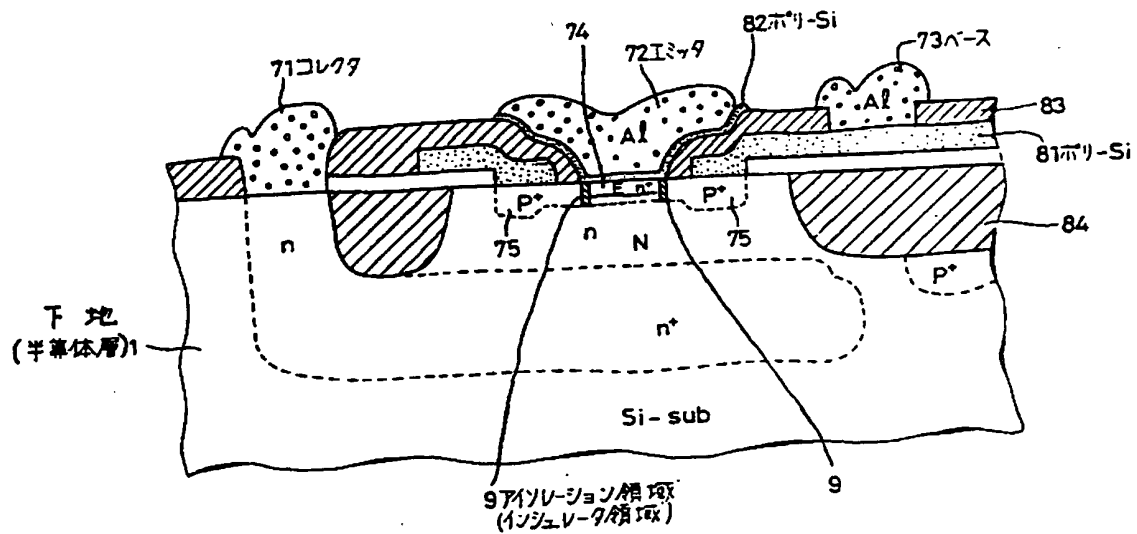
第 3 図及び第 4 図は、該実施例の作用説明図、第 5 図及び第 6 図は、従来技術と本発明適用の技術との対比説明図、第 7 図及び第 8 図は従来技術を示す図である。

1…下地（シリコン基板）、2…マスク材料膜、
3…開口、4…トレンチング、5…溝。

特許出願人 ソニー株式会社
代理人弁理士 高 月 亨

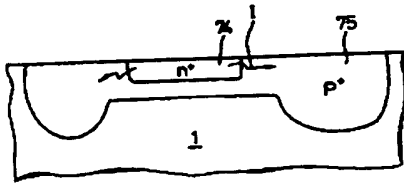


實例-1の工程
第 1 図

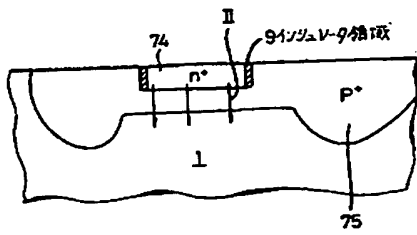


実施例2で得られる構造
第2図

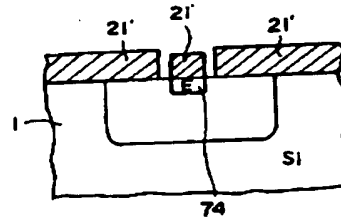
(6)



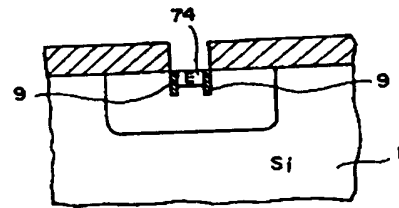
作用説明図
第 3 図



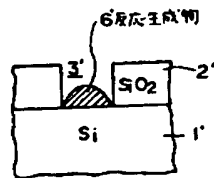
作用説明図
第 4 図



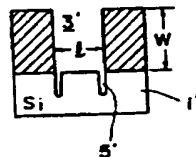
作用説明図(従来技術)
第 5 図



作用説明図(実施例-2)
第 6 図



従来技術
第 7 図



従来技術
第 8 図